



Handwritten: 5-3-01  
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application Of:

Yoshiaki FUKUZUMI, et al.

Serial No.: 09/783,023

Filed: February 15, 2001

)  
)  
) Attorney Docket No. 01701.00059

)  
) Group Art Unit: 2812

)  
) Examiner: Not Yet Assigned

For: SEMICONDUCTOR DEVICE USING FUSE/ANTI-FUSE SYSTEM AND METHOD OF  
MANUFACTURING THE SAME

**SUBMISSION OF PRIORITY DOCUMENT**

Assistant Commissioner of Patents  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2000-039968 filed in Japan on February 17, 2000. This application is the basis for Applicant's claim for priority, which claim was made upon filing of the above-identified patent application on February 15, 2001.

Please charge any fee associated with the filing of this paper to our Deposit Account  
No. 19-0733.

Respectfully submitted,

BANNER & WITCOFF, LTD.

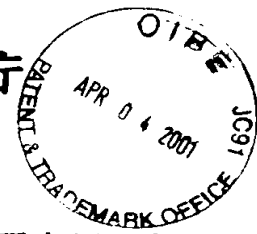
By:

Handwritten signature: Joseph M. Potenza #35,509  
Joseph M. Potenza  
Registration No. 28,175

Eleventh Floor  
1001 G Street, N.W.  
Washington, D.C. 20001-4597  
(202) 508-9100

Dated: 2 April 2001

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 2月17日

出 願 番 号  
Application Number:

特願2000-039968

出 願 人  
Applicant (s):

株式会社東芝

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及川耕造

出証番号 出証特2001-3009176

【書類名】 特許願

【整理番号】 A009905864

【提出日】 平成12年 2月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

【氏名】 福住 嘉晃

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横  
浜事業所内

【氏名】 幸山 裕亮

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板内に形成された溝と、  
前記半導体基板上に選択的に形成された第 1 のゲート絶縁膜と、  
前記半導体基板上及び前記溝の底面及び側面上に連続して形成された第 2 のゲート絶縁膜と、  
前記第 1 のゲート絶縁膜上に形成された第 1 の導電膜と、  
前記第 2 のゲート絶縁膜上に形成され、少なくとも前記溝の一部を埋め込む第 2 の導電膜とを具備し、  
前記第 1 の導電膜の膜表面の位置と前記半導体基板上の前記第 2 の導電膜の膜表面の位置が同じであることを特徴とする半導体装置。

【請求項 2】 前記第 2 の導電膜は前記第 2 のゲート絶縁膜上に形成され、前記溝の全部を埋め込んでおり、かつ前記第 2 の導電膜の膜表面はほぼ平面であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 の導電膜の上方に形成され、前記第 2 の導電膜と電氣的に接続されている配線層をさらに具備することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記溝の段差部に前記第 2 のゲート絶縁膜が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 前記第 2 の導電膜の不純物濃度は、前記半導体基板の不純物濃度より高いことを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 半導体基板に第 1、第 2、第 3 の凹部が形成される工程と、  
前記第 1、第 2、第 3 の凹部が絶縁膜で埋め込まれ、前記絶縁膜の表面が平坦にされる工程と、  
前記第 2、第 3 の凹部内の絶縁膜が除去される工程と、  
全面にゲート絶縁膜が形成される工程と、  
前記ゲート絶縁膜上に導電膜が形成される工程と、  
前記導電膜及び前記ゲート絶縁膜が選択的に除去され、前記半導体基板上に第

1 のゲート電極が形成されるとともに、前記第 2 の凹部に合わせマーク部が形成され、第 3 の凹部の底表面にアンチフューズ部用の第 2 のゲート電極が形成される工程と

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フューズ／アンチフューズに係わる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

近年、半導体装置の高度な微細化が進んでいる。これに従い素子を分離する素子分離領域の形成方法は、従来の LOCOS 法に代わり STI (Shallow Trench Isolation) 法が主流になっている。ところが、STI 法は表面の平坦性が極めて高い。このため、後に続くゲート電極の形成において、合わせマーク部のための段差付け工程が必要であった。

【0003】

ここで、ゲート電極の形成について説明する。まず、図 26 に示すように、リソグラフィ技術及び RIE (Reactive Ion Etching: 反応性イオンエッチング) 法を用いて、シリコン基板 41 に素子分離領域となる第 1 の凹部 42 が形成される。この際、同時に、シリコン基板 41 に後のリソグラフィ工程で用いる合わせマーク部用の第 2 の凹部 43 が形成される。

【0004】

次に、図 27 に示すように、全面に例えばシリコン酸化膜 45 が形成され、このシリコン酸化膜 45 で第 1、第 2 の凹部 42、43 が埋め込まれる。その後、CMP (Chemical Mechanical Polish: 化学的機械研磨) 法を用いて、シリコン酸化膜 45 が除去され、シリコン基板 41 の表面を露出させることにより、第 1 の凹部 42 に STI 構造の素子分離領域 46 が形成される。

【0005】

次に、図 2 8 に示すように、全面にレジスト 4 7 が形成されてパターニングされる。このパターニングされたレジスト 4 7 をマスクとして、ウエットエッチングにより、第 2 の凹部 4 3 内のシリコン酸化膜 4 5 が除去される。このようにして凹部 4 3 を形成する工程を段差付け工程と称する。その後、レジスト 4 7 が除去される。

## 【 0 0 0 6 】

次に、図 2 9 に示すように、全面にゲート絶縁膜 4 8 が形成され、このゲート絶縁膜 4 8 上にポリシリコン膜 4 9 が形成される。このポリシリコン膜 4 9 上にタングステン膜 5 0 が形成され、このタングステン膜 5 0 上にシリコン窒化膜 5 1 が形成される。

## 【 0 0 0 7 】

次に、図 3 0 に示すように、リソグラフィ技術及び R I E 法を用いて、シリコン窒化膜 5 1、タングステン膜 5 0、ポリシリコン膜 4 9、ゲート絶縁膜 4 8 が除去される。これにより、所定の素子領域 4 6 a 上にゲート電極 5 2 が形成され、第 2 の凹部 4 3 に合わせマーク部 5 3 が形成される。ここで、ゲート電極 5 2 のゲート絶縁膜を 4 8 a とする。

## 【 0 0 0 8 】

次に、図 3 1 に示すように、既知の技術を用いて、ゲート電極 5 2 の側面にゲート側壁 5 5 が形成され、ゲート電極 5 2 下端部のシリコン基板 4 1 の表面にソース／ドレイン領域 5 6 が形成される。次に、全面に層間絶縁膜 5 7 が形成され、コンタクトプラグ 5 8 及び上層配線層 5 9 が形成される。その後、全面にさらに層間絶縁膜 6 0 が形成される。

## 【 0 0 0 9 】

このように、ゲート電極 5 2 の一部にタングステン膜 5 0 等を用いた場合、膜の反射率が高く光学的に下層の膜質差を読みとることが困難である。このため、仮に合わせマーク部 5 3 の形成のための段差付け工程（図 2 8 に示す）を省略すると、S T I 法のような表面の平坦度の高い方法を用いた場合、合わせマーク部 5 3 を読みとることができない。したがって、素子分離領域 4 6（乃至素子領域 4 6 a）とゲート電極 5 2 の位置の合わせずれの問題が深刻になる。

## 【0010】

以上のように、図28に示す段差付け工程に含まれるリソグラフィ工程とエッチング工程は不可欠なものである。しかしながら、これらの工程は、合わせマーク部53の段差付けのためだけに使われているため、これらの工程の省略乃至有効活用が望まれていた。

## 【0011】

## 【発明が解決しようとする課題】

一方、例えばDRAM（ダイナミック・ランダム・アクセス・メモリ）等では、製品の歩留まり向上のために、不良セルを予備のセルに置き換えるための救済回路を備えたものが多い。そこで、従来は置き換えセルの判定のために、主としてアルミ等の配線をレーザにより焼き切るタイプのフューズが用いられてきた。これに対して、特定箇所のゲート絶縁膜を破壊することにより判定を行うアンチフューズも提案されている。

## 【0012】

このアンチフューズは、チップ内での占有面積の削減や、パッケージ封入後に最終不良セルを置き換えることが可能になるなど、多くの利点が期待されている。また、アンチフューズは、破壊耐圧以上の電圧を印加することにより所望の絶縁膜を破壊し導通させるものである。このため、通常アンチフューズは、破壊するための高電圧発生回路と、特定のアンチフューズ部の破壊又は非破壊の状態を検知するための判定回路とに接続されている。したがって、アンチフューズ部を破壊する際には、判定回路部のゲート絶縁膜もある程度のダメージを被ることが懸念される。そこで、アンチフューズ部をある程度低い電圧で破壊可能し、判定回路部やその他へのダメージを極力低減することが望まれていた。

## 【0013】

また、製造工程の増加を抑えるため、アンチフューズ用の絶縁膜はMOSトランジスタのゲート絶縁膜と同時に形成することが望まれる。しかしながら、アンチフューズ用の低耐圧のゲート絶縁膜を、通常のトランジスタ等に使用される信頼性の高いゲート絶縁膜と同時に形成することは難しかった。そのため、これまでトランジスタ用に形成されたゲート絶縁膜を利用したアンチフューズの実用化



は困難であった。

【0014】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、合わせマーク用の段差付け工程をアンチフューズの形成に応用することで、製造工程を増やすことなく、所望の破壊耐圧をもつゲート絶縁膜を形成することが可能な半導体装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0016】

本発明の半導体装置は、半導体基板内に形成された溝と、前記半導体基板上に選択的に形成された第1のゲート絶縁膜と、前記半導体基板上及び前記溝の底面及び側面上に形成された第2のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1の導電膜と、前記第2のゲート絶縁膜上に形成され、少なくとも前記溝の一部を埋め込む第2の導電膜とを具備し、前記第1の導電膜の膜表面の位置と前記半導体基板上の前記第2の導電膜の膜表面の位置が同じである。

【0017】

また、本発明の半導体装置は、前記第2の導電膜の上方に形成され、前記第2の導電膜と電氣的に接続されている配線層をさらに具備してもよい。

【0018】

また、前記第2の導電膜は前記第2のゲート絶縁膜上に形成され、前記溝の全部を埋め込んでおり、かつ前記第2の導電膜の膜表面は平面であってもよい。

【0019】

また、前記溝の段差部に前記第2のゲート絶縁膜が形成されていてもよい。前記第2の導電膜の不純物濃度は、前記半導体基板の不純物濃度より高くなっている。

【0020】

前記第1の導電膜は前記半導体基板であってもよい。また、前記第2の導電膜は、ポリシリコン膜、あるいはポリシリコン膜を含む積層膜のいずれかで形成さ

れている。

#### 【 0 0 2 1 】

前記第 2 の絶縁膜は、シリコン酸化膜、シリコン窒化膜、シリコン窒酸化膜のいずれかで形成されている。また、前記第 2 の絶縁膜は、一部の不良回路を救済するための冗長回路切り換えのためのアンチフューズとして機能する。

#### 【 0 0 2 2 】

本発明の半導体装置の製造方法は、半導体基板に第 1、第 2、第 3 の凹部が形成される工程と、前記第 1、第 2、第 3 の凹部が絶縁膜で埋め込まれ、前記絶縁膜の表面が平坦にされる工程と、前記第 2、第 3 の凹部内の絶縁膜が除去される工程と、全面にゲート絶縁膜が形成される工程と、前記ゲート絶縁膜上に導電膜が形成される工程と、前記導電膜及び前記ゲート絶縁膜が選択的に除去され、前記半導体基板上に第 1 のゲート電極が形成されるとともに、前記第 2 の凹部に合わせマーク部が形成され、第 3 の凹部の底表面にアンチフューズ部用の第 2 のゲート電極が形成される工程とを含んでいる。

#### 【 0 0 2 3 】

##### 【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

#### 【 0 0 2 4 】

##### 〔第 1 の実施例〕

本発明の第 1 の実施例について説明する。第 1 の実施例における半導体装置の製造方法は、合わせマーク部の凹部（段差）の形成と同時にアンチフューズ部の凹部を形成する。これにより、合わせマーク部の凹部形成におけるリソグラフィ及びエッチング工程が有効に利用される。

#### 【 0 0 2 5 】

まず、第 1 の実施例は、図 1 に示すように、リソグラフィ技術及び R I E 法を用いて、シリコン基板 1 1 に素子分離領域となる第 1 の凹部 1 2 が形成される。この際、同時に、シリコン基板 1 1 に上層のリソグラフィ工程で用いる合わせマーク部の第 2 の凹部 1 3、アンチフューズ部の第 3 の凹部 1 4 が形成される。

#### 【 0 0 2 6 】

次に、図 2 に示すように、全面に例えばシリコン酸化膜 1 5 が形成され、このシリコン酸化膜 1 5 で第 1、第 2、第 3 の凹部 1 2、1 3、1 4 が埋め込まれる。その後、CMP 法を用いて、シリコン酸化膜 1 5 が除去され、シリコン基板 1 1 の表面を露出させることにより、第 1 の凹部 1 2 に S T I 構造の素子分離領域 1 6 が形成される。

## 【 0 0 2 7 】

次に、図 3 に示すように、全面にレジスト 1 7 が形成されてパターニングされる。このパターニングされたレジスト 1 7 をマスクとして、ウエットエッチングにより、第 2 の凹部 1 3 及び第 3 の凹部 1 4 内のシリコン酸化膜 1 5 が除去される。その後、レジスト 1 7 が除去される。

## 【 0 0 2 8 】

次に、図 4 に示すように、全面にゲート絶縁膜 1 8 が形成され、このゲート絶縁膜 1 8 上にポリシリコン膜 1 9 が形成される。このポリシリコン膜 1 9 上にタングステン膜 2 0 が形成され、このタングステン膜 2 0 上にシリコン窒化膜 2 1 が形成される。

## 【 0 0 2 9 】

次に、図 5 に示すように、リソグラフィ技術及び R I E 法を用いて、シリコン窒化膜 2 1、タングステン膜 2 0、ポリシリコン膜 1 9、ゲート絶縁膜 1 8 が除去される。これにより、所定の素子領域 1 6 a 上に第 1 のゲート電極 2 2 が形成され、第 2 の凹部 1 3 に合わせマーク部 2 3 が形成され、第 3 の凹部 1 4 の底表面にアンチフューズ部用の第 2 のゲート電極 2 4 が形成される。ここで、第 1 のゲート電極 2 2 のゲート絶縁膜を 1 8 a とし、第 2 のゲート電極 2 4 のゲート絶縁膜を 1 8 b とする。尚、ゲート絶縁膜 1 8 は除去されなくてもよい。

## 【 0 0 3 0 】

次に、図 6 に示すように、既知の技術を用いて、第 1 のゲート電極 2 2 の側面にゲート側壁 2 5 が形成され、第 1 のゲート電極 2 2 下端部のシリコン基板 1 1 の表面にソース／ドレイン領域 2 6 が形成される。次に、全面に層間絶縁膜 2 7 が形成され、第 2 のゲート電極 2 4 と他の素子を接続するためのコンタクトプラグ 2 8 及び上層配線層 2 9 が形成される。その後、全面に層間絶縁膜 3 0 が形成

される。

【 0 0 3 1 】

上記本発明の第 1 の実施例によれば、アンチフューズ用のゲート絶縁膜 1 8 b は、第 3 の凹部 1 4 の底表面に形成される。この第 3 の凹部 1 4 の底表面は、凹部形成時の R I E によるダメージが生じている。このため、この凹部 1 4 に形成されたゲート絶縁膜 1 8 b は、トランジスタのゲート絶縁膜 1 8 a に比べて破壊耐圧を低下させることができる。したがって、極端に高い電圧を印加することなく、アンチフューズ用のゲート絶縁膜 1 8 b のみを破壊することができる。これにより、例えば判定回路部等の他のトランジスタのゲート絶縁膜 1 8 a に与えるダメージを低減することが可能になる。したがって、トランジスタの高信頼性を保つことが可能となり、歩留まりの向上に貢献できる。

【 0 0 3 2 】

また、合わせマーク部 2 3 の凹部 1 3 の形成におけるリソグラフィ及びエッチング工程を、アンチフューズ部用の凹部 1 4 の形成に共用し、トランジスタ用のゲート絶縁膜 1 8 a と同時にアンチフューズ部のゲート絶縁膜 1 8 b を形成している。このため、アンチフューズ部を設けるための製造工程を新たに増加しなくてもよい。したがって、半導体装置の低コスト化を図ることができる。

【 0 0 3 3 】

なお、第 1 の実施例において、図 3 に示すアンチフューズ用の第 3 の凹部 1 4 を形成するためのレジスト 1 7 の下端部は、第 3 の凹部 1 4 の上端部の外側に位置している。また、エッチング工程では、第 3 の凹部 1 4 内のシリコン酸化膜 1 5 は全て除去されている。しかし、第 3 の凹部 1 4 とレジスト 1 7 の下端部の位置関係はこれに限定されない。例えば、レジスト 1 7 の下端部が第 3 の凹部 1 4 の上端部の内側とした場合、図 7 に示すように、第 3 の凹部 1 4 内にシリコン酸化膜 1 5 の一部を残存させることができる。ゲート電極形成時に、ゲート電極端部のゲート絶縁膜には例えば R I E 等の工程でダメージが入り、ゲート電極の破壊耐圧のばらつきの調整が完全に行えない場合があった。しかしながら、図 7 によれば、ゲート電極 2 4 の端部に、残存したシリコン酸化膜 1 5 が存在した形状となる。したがって、このシリコン酸化膜 1 5 からなる絶縁膜により、ゲート電

極 2 4 の端部での破壊を抑制でき、ゲート絶縁膜 1 8 b の破壊耐圧のばらつきの調節が可能になる。

【 0 0 3 4 】

〔第 2 の実施例〕

第 2 の実施例は、上記第 1 の実施例の製造方法と同様の製造方法であるため、この説明は省略し、異なる構造のみ説明する。第 2 の実施例は、アンチフューズ用の凹部のコーナー部を積極的に利用した例である。

【 0 0 3 5 】

図 8、9 に示すように、凹部 1 4 のコーナー部 1 4 a、1 4 b を覆うようにゲート電極 2 4 が形成されている。

【 0 0 3 6 】

上記第 2 の実施例によれば、凹部 1 4 のコーナー部 1 4 a、1 4 b をアンチフューズとして用いている。このため、コーナー部 1 4 a、1 4 b で特に電界集中が起こり、ゲート絶縁膜を有効に破壊することが可能である。

【 0 0 3 7 】

また、図 1 0 に示すように、凹部 1 4 の片側のコーナー部 1 4 a、1 4 b のみにゲート電極 2 4 を形成してもよい。この場合、さらにアンチフューズの占有面積を縮小することが可能である。

【 0 0 3 8 】

また、（堆積ではなく）例えば酸化によりゲート絶縁膜 1 8 b を形成する場合、コーナー部 1 4 a、1 4 b ではゲート絶縁膜（酸化膜）1 8 b の膜厚が他の平坦な部分に比べて薄くなる。このため、コーナー部 1 4 a、1 4 b のみで破壊耐圧を特異的に低下させることが可能である。

【 0 0 3 9 】

以上のように、本発明の第 2 の実施例によれば、第 1 の実施例に比べて、特定部分（コーナー部 1 4 a、1 4 b）のアンチフューズ部だけの破壊耐圧を低下させることが可能である。このため、他のトランジスタへのダメージはさらに低減され、半導体装置の高信頼化と歩留まり向上が期待できる。

【 0 0 4 0 】

なお、本発明の第 2 の実施例において、例えば、図 1 1、図 1 2 に示すように、凹部 1 4 をゲート電極材（ポリシリコン膜）1 9 で埋め込んでもよい。この場合、ゲート電極のキャップ膜となる絶縁膜（シリコン窒化膜）2 1 は、図 1 1 ではポリシリコン膜 1 9 で埋め込まれなかった凹部 1 4 の空間を埋め、図 1 2 では凹部 1 4 の外部のタングステン 2 0 を覆っている。また、図 1 1、図 1 2 は、図 8、図 9 等の凹部 1 4 の幅より狭い凹部 1 4 が形成される。このように、図 1 1、図 1 2 は、凹部 1 4 の内部が埋め込まれた形状になる。ポリシリコン 1 9 やシリコン窒化膜 2 1 は、例えば C P C V D 法等、数百℃の高温下で成膜されることが多いため、半導体装置を実際に使用する常温付近では熱膨張係数の違いによる応力が生じている。したがって、図 8、図 9 に示した半導体装置に比べて、アンチフューズ部の破壊耐圧をさらに低下させることが可能になる。また、ゲート電極形成時のリソグラフィ工程で、トランジスタとアンチフューズのゲート電極を同じ高さで形成することができる。このため、リソグラフィ工程が容易となり、さらに歩留まりが向上する。

#### 【 0 0 4 1 】

また、上記第 1、第 2 の実施例は図 1 3 乃至図 1 7 に示す構造でもよい。上記第 1、第 2 の実施例においては、半導体基板としてシリコン基板 1 1 を用いたが、本発明はこれに限定されない。例えば、図 1 3 に示すように、半導体基板として絶縁層 3 1 a とシリコン層 3 1 b からなる S O I 基板 3 1 を用いてもよい。また、上記第 1、第 2 の実施例では、段差付け工程（図 3 に示す工程）において、凹部 1 4 内のシリコン酸化膜 1 5 を完全に除去しているが、本発明はこれに限定されない。例えば、図 1 4 に示すように、凹部 1 4 の中途までシリコン酸化膜 1 5 を残存させてもよい。なお、図 1 3、1 4 に示す構造のように、アンチフューズ部の凹部 1 4 にできる段差を合わせマーク部として利用してもよい。この場合、さらに素子の占有面積を縮小することが可能である。

#### 【 0 0 4 2 】

また、図 1 5 に示すように、ゲート電極（図示せず）へ接続するためのコンタクトプラグ 2 8 を素子分離領域 1 6 上に形成してもよい。素子領域上にコンタクト孔が存在する場合、コンタクト孔形成の R I E 時にコンタクト孔直下のゲート

絶縁膜にダメージが入り、耐圧のばらつきの原因が生じる可能性がある。ところが、図 1 5 に示す構造によれば、コンタクト孔の形成時に生じるダメージに起因した破壊耐圧のばらつきを抑えることができる。

## 【 0 0 4 3 】

また、上記第 1、第 2 の実施例では、アンチフューズ用のゲート電極 2 4 と凹部 1 4 は 1 対 1 で対応しているが、本発明はこれに限定されない。例えば、図 1 6 に示すように、一つのゲート電極 2 4 に複数の凹部 1 4 を対応させてもよい。この場合、破壊耐圧が安定し、アンチフューズの歩留まりが向上する。また、図 1 7 に示すように、複数のゲート電極 2 4 を一つの凹部 1 4 内に形成してもよい。この場合、アンチフューズ部の占有面積のさらなる縮小に貢献することができる。

## 【 0 0 4 4 】

## 〔第 3 の実施例〕

トランジスタの形成の際には、例えばポリシリコンゲートを用いた CMOS デバイスを考えた場合、ウェル、チャネル領域、ゲート電極、ソース／ドレイン領域、LDD のそれぞれについて、N 型又は P 型のイオン・インプランテーションが行われる。したがって、これらの工程の組み合わせを利用して、第 3 の実施例は、アンチフューズ部のゲート絶縁膜の破壊耐圧を調整する。以下、アンチフューズ部のゲート絶縁膜の破壊耐圧を調整する方法や、破壊後の導通抵抗を低減する方法について説明する。

## 【 0 0 4 5 】

図 1 8 に示すように、ウェル 3 2 a の導電型とポリシリコン膜 1 9 a の導電型を同一導電型、例えば N 型とする。これにより、ゲート絶縁膜 1 8 b を破壊した後のアンチフューズ部の導通抵抗を下げる事が可能であり、破壊／非破壊の判定精度を向上することができる。

## 【 0 0 4 6 】

図 1 9 に示すように、ウェル 3 2 b の導電型とポリシリコン膜 1 9 b の導電型を同一導電型、例えば N 型とする。さらに、例えば N ウェル 3 2 b 内に P 型の LDD 領域 (Lightly Doped Drain) 及びソース・ドレイン領域 3 3 を形成する。

ここで、ゲート絶縁膜 1 8 b の破壊の際にはゲートに正電位を印加する。この場合、LDD領域及びソース・ドレイン領域 3 3 を形成することにより、ゲート電極端部 2 4 a の電界集中を緩和できる。したがって、ゲート電極端部 2 4 a での電界集中に起因した破壊耐圧のばらつきを低減することが可能である。

## 【 0 0 4 7 】

また、図 2 0 に示すように、ウェル 3 2 b の導電型とポリシリコン膜 1 9 b の導電型を例えば N 型とし、ポリシリコン膜 1 9 b の不純物濃度をウェル 3 2 b より 1 桁以上高く設定する。この装置において、アンチフューズ部のゲート絶縁膜 1 8 b を破壊する際に正の電界を与え、判定する際に負の電界を与える。このように、破壊時と判定時の電界の正負を逆転させた場合、ウェル 3 2 b の不純物濃度がポリシリコン膜 1 9 b の不純物濃度より低いため、判定時にゲートの下側のウェル 3 2 b に形成される空乏層が厚くなる。このため、破壊させなかったアンチフューズ部のゲート絶縁膜には、実効的に小さな電界しか印加されない。したがって、実使用時に繰り返し行われる判定動作に対する信頼性を高めることも可能である。

## 【 0 0 4 8 】

また、上記各実施例では、トランジスタの形成に伴いアンチフューズ部のゲート電極直下にもチャネル不純物を注入してもよいが、図 2 1 に示す例のように、アンチフューズ部のウェル、チャネル領域にイオン・インプランテーションを行わず、例えば P 型の半導体基板 3 4 を不純物濃度の低い状態に保ってもよい。この装置において、アンチフューズ部のゲート絶縁膜 1 8 b を破壊する際に負の電界を与え、判定する際に正の電界を与える。この場合も、図 2 0 と同様の効果を得ることができる。さらに、半導体基板自体が最初に有している非常に低い不純物濃度により、空乏層の厚さはより大きくなるため、実使用時の判定動作に対する信頼性をさらに向上させることも可能である。

## 【 0 0 4 9 】

なお、アンチフューズ部のゲート絶縁膜の破壊耐圧を調整する方法は、上述した実施例に限定されない。

## 【 0 0 5 0 】



例えば、凹部の底部、側面、コーナー部のダメージ量を調整することにより、アンチフューズの破壊耐圧を調整することが可能である。つまり、例えば破壊耐圧が所望の値よりも下がりすぎてしまった場合で、それがR I Eにより生じるダメージに起因する場合は、R I E時のイオン・エネルギーを落とすことでダメージ量を低減することが可能である。これにより、ある程度耐圧を回復させることができる。

## 【0051】

また、段差付け工程（図3に示す）でシリコン酸化膜15を除去する際に、さらに例えばC D E（Chemical Dry Etching）法等の等方性エッチングによりシリコン基板11の表面を薄くエッチングすることで、最表面のダメージ層を除去することができる。また、凹部14のコーナー部14a、14bに丸みを持たせて電界集中の効果を弱めることも可能である。これらの方法によっても、所望値より下がりすぎた破壊耐圧をある程度回復させることができる。

## 【0052】

逆に、破壊耐圧をさらに下げたい場合には、段差付け工程（図3に示す）でシリコン酸化膜15を除去する際に、ウェットエッチング法の代わりに高パワーのR I E法を用いることで、さらに凹部14の底面にダメージを導入することが可能である。

## 【0053】

また、段差付け工程（図3に示す）でシリコン酸化膜15を除去した後に、レジスト17を剥離する前にイオン・インプランテーション技術を用いて不純物イオンを導入する。これによって、その後形成されるゲート酸化膜18の膜厚を調整することが可能である。このため、ゲート絶縁膜18bの破壊耐圧を調整することが可能である。

## 【0054】

## 〔第4の実施例〕

第4の実施例は、上記第1乃至第3の実施例による半導体装置の上面図を示したものである。

## 【0055】

図 2 2 (a) は、図 1 7 に示したような一つの凹部 1 4 に複数のアンチフューズ用のゲート電極 2 4 が形成された場合の上面図を示す。図 2 2 (b) は、図 2 2 (a) の 2 2 (b) - 2 2 (b) 線に沿った断面図を示す。

## 【 0 0 5 6 】

また、図 2 3 (a) は、図 1 8 に示すような凹部 1 4 がアンチフューズ用のゲート電極 2 4 で埋め込まれ、素子分離領域 1 6 上にコンタクトプラグ 2 8 が形成された場合の上面図を示す。図 2 3 (b) は、図 2 3 (a) の 2 3 (b) - 2 3 (b) 線に沿った断面図を示す。

## 【 0 0 5 7 】

また、図 2 4 (a) は、図 8 乃至図 1 0 等 to 示すような凹部 1 4 のコーナー部 1 4 a、1 4 b を積極的に利用した場合の上面図を示す。図 2 4 (b) は、図 2 4 (a) の 2 4 (b) - 2 4 (b) 線に沿った断面図を示す。

## 【 0 0 5 8 】

また、図 2 5 (a) は、さらに電界を集中させるために凹部 1 4 に鋭角部 1 4 d を形成した場合の上面図を示す。図 2 5 (b) は、図 2 5 (a) の 2 5 (b) - 2 5 (b) 線に沿った断面図を示す。

## 【 0 0 5 9 】

上記第 4 の実施例によれば、本発明のアンチフューズ部は、素子領域やゲート電極 2 4 の最小加工寸法あるいはその数倍の程度で形成が可能である（例えば 0.13  $\mu\text{m}$  世代では 0.4  $\mu\text{m} \times 1 \mu\text{m}$  程度）。このため、アンチフューズ部の占有面積は、従来のアンチフューズ部等（典型的には 2  $\mu\text{m} \times 10 \mu\text{m}$  程度）に比べて十分小さくできる。したがって、半導体装置のチップ面積の縮小と製造コスト削減に貢献する。

## 【 0 0 6 0 】

その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

## 【 0 0 6 1 】

## 【発明の効果】

以上説明したように本発明によれば、合わせマーク用の段差付け工程をアンチ

フューズの形成に応用することで、製造工程を増やすことなく、所望の破壊耐圧をもつゲート絶縁膜を形成することが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例に係わる半導体装置の製造工程を示す断面図。

【図 2】

図 1 に続く、本発明の第 1 の実施例に係わる半導体装置の製造工程を示す断面図。

【図 3】

図 2 に続く、本発明の第 1 の実施例に係わる半導体装置の製造工程を示す断面図。

【図 4】

図 3 に続く、本発明の第 1 の実施例に係わる半導体装置の製造工程を示す断面図。

【図 5】

図 4 に続く、本発明の第 1 の実施例に係わる半導体装置の製造工程を示す断面図。

【図 6】

図 5 に続く、本発明の第 1 の実施例に係わる半導体装置の製造工程を示す断面図。

【図 7】

本発明の他の第 1 の実施例に係わる半導体装置の製造工程を示す断面図。

【図 8】

本発明の第 2 の実施例に係わり、凹部のコーナー部を利用したアンチフューズ部を示す断面図。

【図 9】

本発明の第 2 の実施例に係わり、凹部のコーナー部を利用した他のアンチフューズ部を示す断面図。

【図 1 0】

本発明の第 2 の実施例に係わり、凹部の片側のコーナー部を利用したアンチフューズ部を示す断面図。

【図 1 1】

本発明の第 2 の実施例に係わり、凹部を埋め込んだ場合のアンチフューズ部を示す断面図。

【図 1 2】

本発明の第 2 の実施例に係わり、凹部をポリシリコン膜で埋め込んだ場合の他のアンチフューズ部を示す断面図。

【図 1 3】

本発明の第 1、第 2 の実施例に係わり、S O I 基板を用いた場合のアンチフューズ部を示す断面図。

【図 1 4】

本発明の第 1、第 2 の実施例に係わり、凹部の途中までシリコン窒化膜で埋め込んだ場合のアンチフューズ部を示す断面図。

【図 1 5】

本発明の第 1、第 2 の実施例に係わり、素子分離領域上にコンタクトを形成した場合のアンチフューズ部を示す断面図。

【図 1 6】

本発明の第 1、第 2 の実施例に係わり、一つのアンチフューズ部に対して複数の凹部が対応する場合を示す断面図。

【図 1 7】

本発明の第 1、第 2 の実施例に係わり、複数のアンチフューズ部に対して一つの凹部が対応する場合を示す断面図。

【図 1 8】

本発明の第 3 の実施例に係わり、ゲートの不純物濃度がウェルより高いアンチフューズ部を示す断面図。

【図 1 9】

本発明の第 3 の実施例に係わり、ゲートの不純物濃度がウェルより高く、かつ

LDD領域が形成されたアンチフューズ部を示す断面図。

【図 2 0】

本発明の第 3 の実施例に係わり、ゲートの不純物濃度がウェルより高いアンチフューズ部を示す断面図。

【図 2 1】

本発明の第 3 の実施例に係わり、ゲートの不純物濃度がウェルより高いアンチフューズ部を示す断面図。

【図 2 2】

図 2 2 (a) は、一つの凹部に複数のアンチフューズ用のゲート電極が形成された場合を示す上面図。図 2 2 (b) は、図 2 2 (a) の 2 2 (b) - 2 2 (b) 線に沿った断面図。

【図 2 3】

図 2 3 (a) は、凹部がアンチフューズ用のゲート電極で埋め込まれ、素子分離領域上にコンタクトが形成された場合を示す上面図。図 2 3 (b) は、図 2 3 (a) の 2 3 (b) - 2 3 (b) 線に沿った断面図。

【図 2 4】

図 2 4 (a) は、凹部のコーナー部を積極的に利用した場合を示す上面図。図 2 4 (b) は、図 2 4 (a) の 2 4 (b) - 2 4 (b) 線に沿った断面図。

【図 2 5】

図 2 5 (a) は、凹部に鋭角部を形成した場合を示す上面図。図 2 5 (b) は、図 2 5 (a) の 2 5 (b) - 2 5 (b) 線に沿った断面図。

【図 2 6】

従来技術による半導体装置の製造工程を示す断面図。

【図 2 7】

図 2 6 に続く、従来技術による半導体装置の製造工程を示す断面図。

【図 2 8】

図 2 7 に続く、従来技術による半導体装置の製造工程を示す断面図。

【図 2 9】

図 2 8 に続く、従来技術による半導体装置の製造工程を示す断面図。

【図 3 0】

図 2 9 に続く、従来技術による半導体装置の製造工程を示す断面図。

【図 3 1】

図 3 0 に続く、従来技術による半導体装置の製造工程を示す断面図。

【符号の説明】

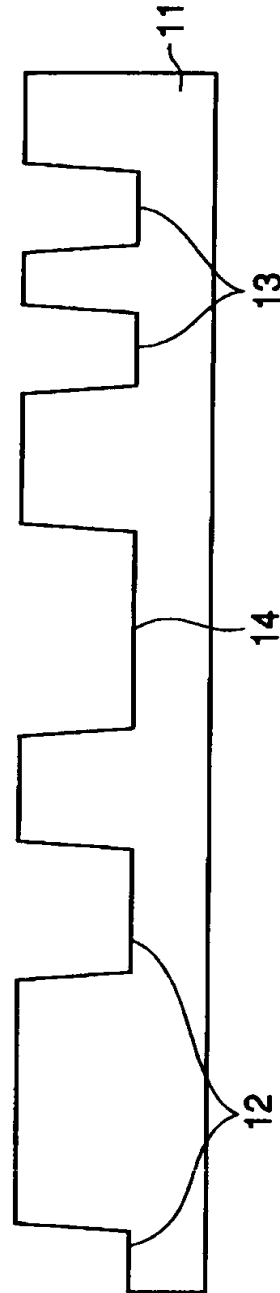
- 1 1 …シリコン基板、
- 1 2 …素子分離領域用の第 1 の凹部、
- 1 3 …アンチフューズ部用の第 2 の凹部、
- 1 4 …合わせマーク部用の第 3 の凹部、
- 1 4 a、1 4 b …コーナー部、
- 1 4 c …マスク、
- 1 4 d …鋭角部、
- 1 5 …シリコン酸化膜、
- 1 6 …素子分離領域、
- 1 7 …レジスト、
- 1 8、1 8 a、1 8 b …ゲート絶縁膜、
- 1 9 …ポリシリコン膜、
- 1 9 a … $P^{+}$ 型ポリシリコン膜、
- 1 9 b … $N^{+}$ 型ポリシリコン膜、
- 2 0 …タングステン膜、
- 2 1 …シリコン窒化膜、
- 2 2 …トランジスタ用の第 1 のゲート電極、
- 2 3 …合わせマーク部、
- 2 4 …アンチフューズ用の第 2 のゲート電極、
- 2 4 a …ゲート電極端部、
- 2 5 …ゲート側壁、
- 2 6 …ソース/ドレイン領域、
- 2 7、3 0 …層間絶縁膜、
- 2 8 …コンタクトプラグ、

- 2 9 … 上層配線、
- 3 2 a … P ウェル、
- 3 2 b … N ウェル、
- 3 3 … L D D 領域及びソース・ドレイン領域、
- 3 4 … P 型の半導体基板。

【書類名】

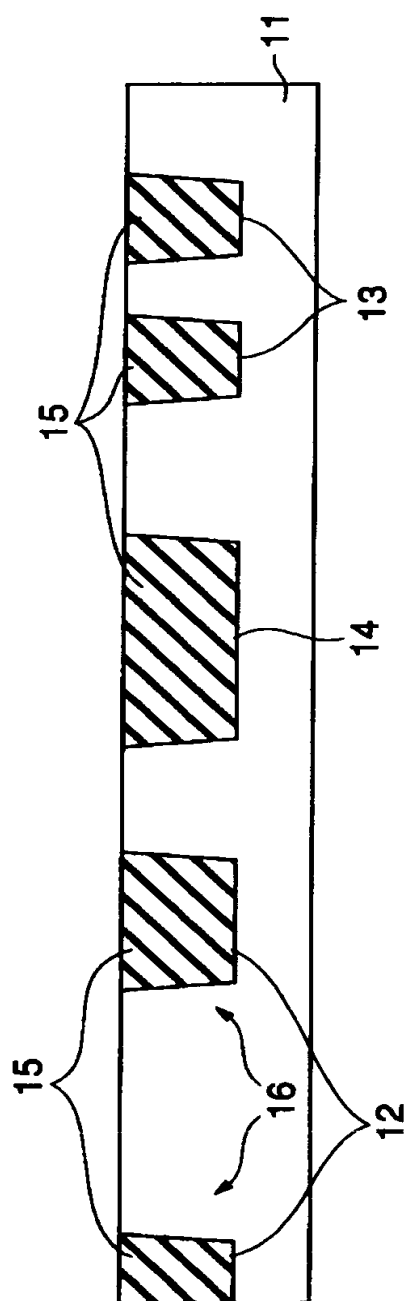
図面

【図1】

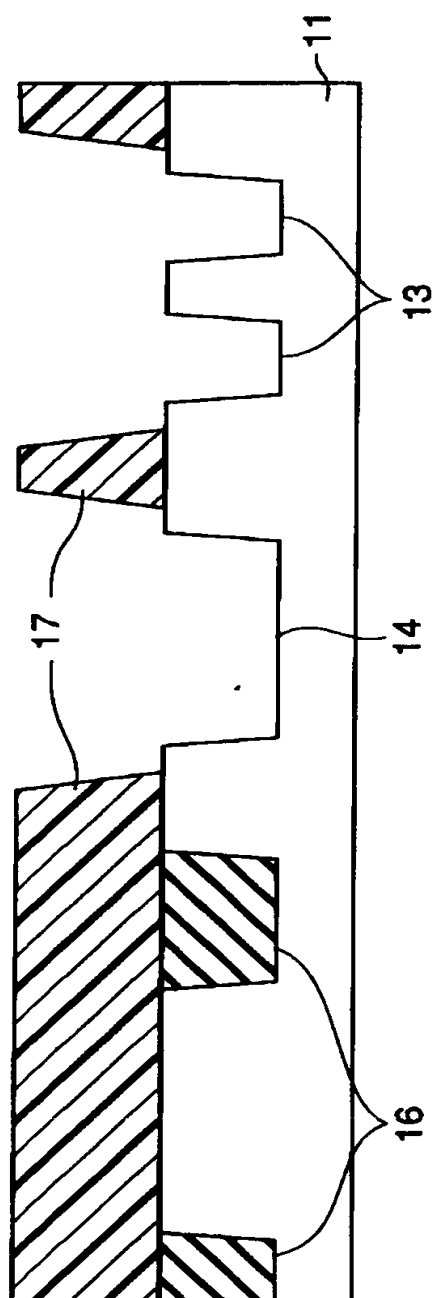




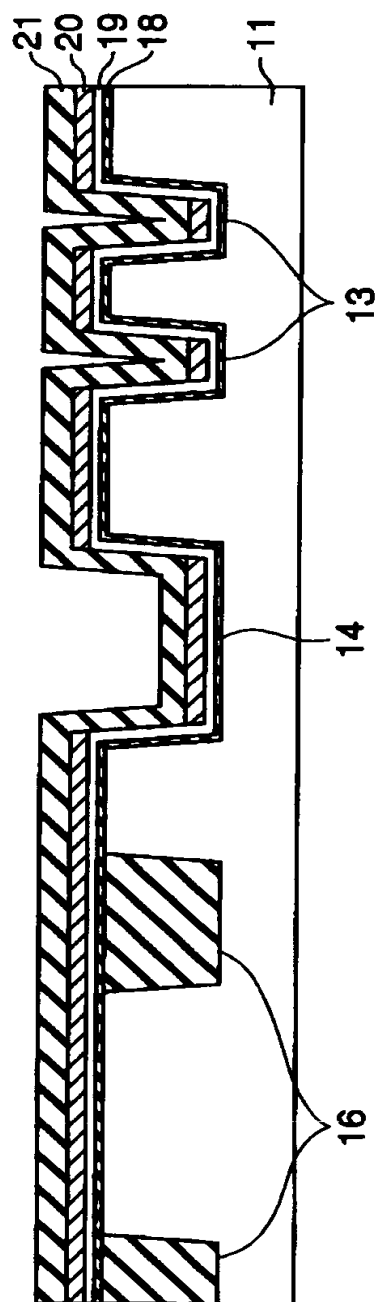
【図 2】



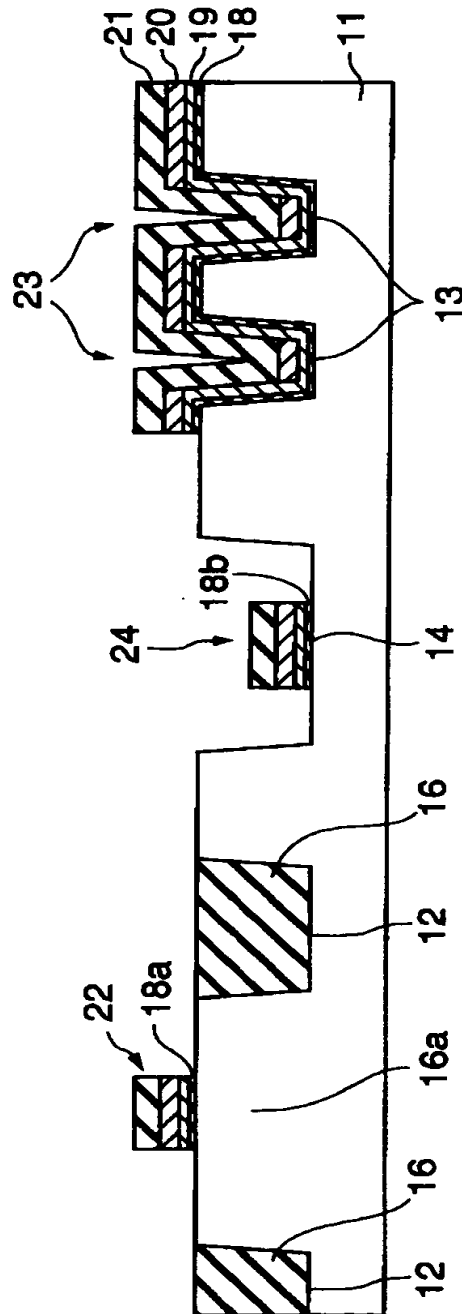
【図 3】



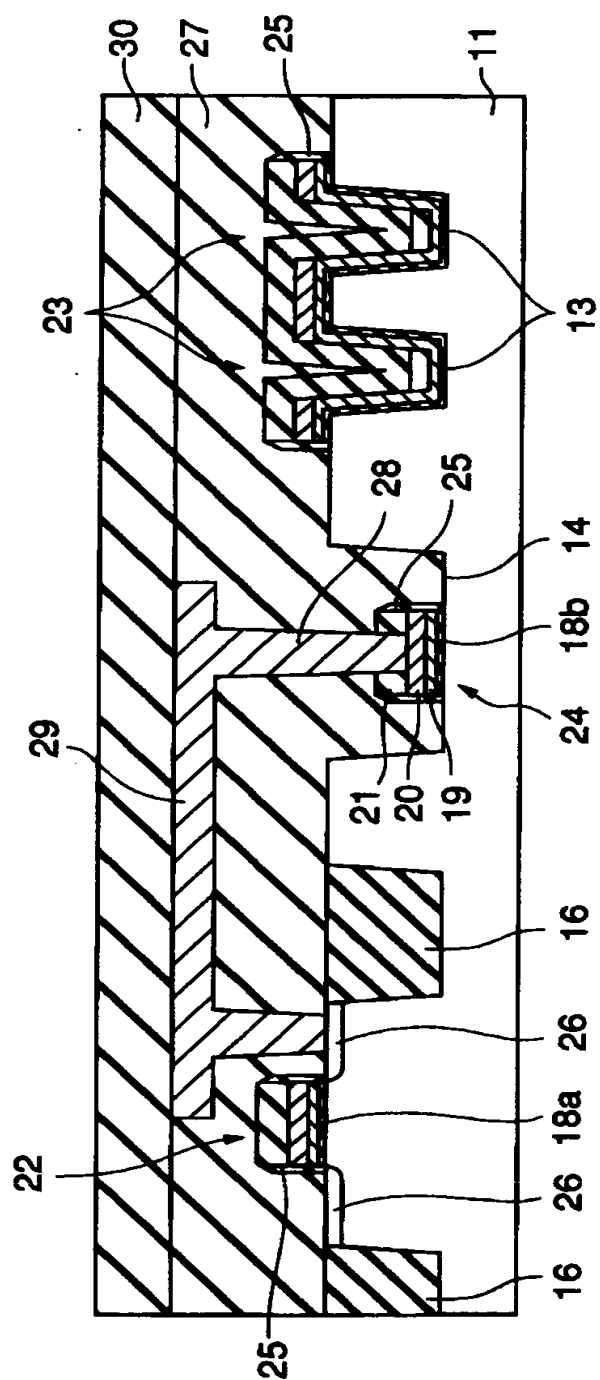
【 図 4 】



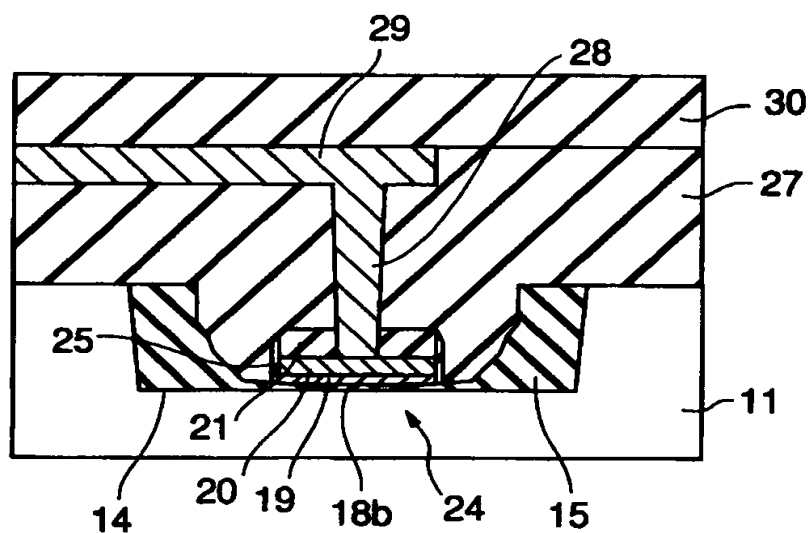
【図 5】



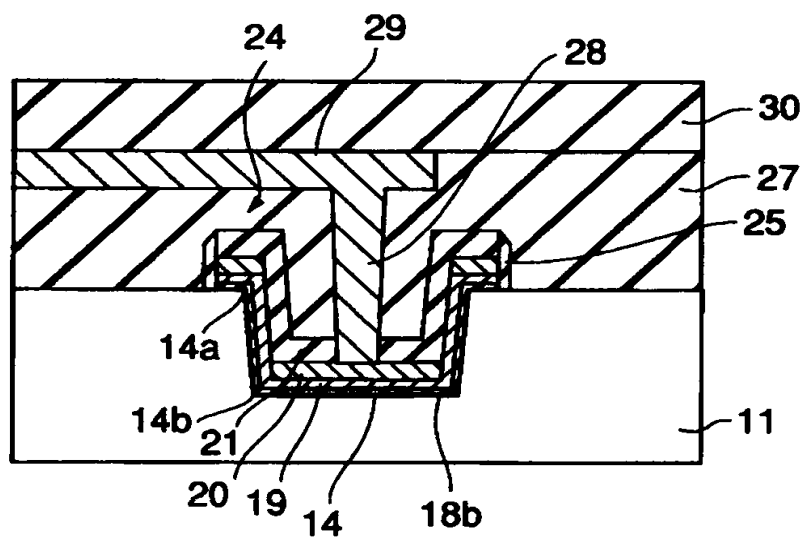
【図 6】



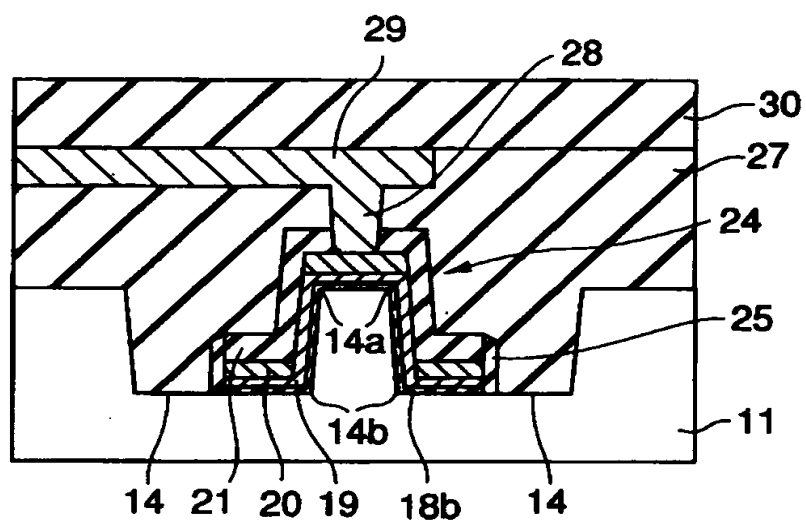
【図 7】



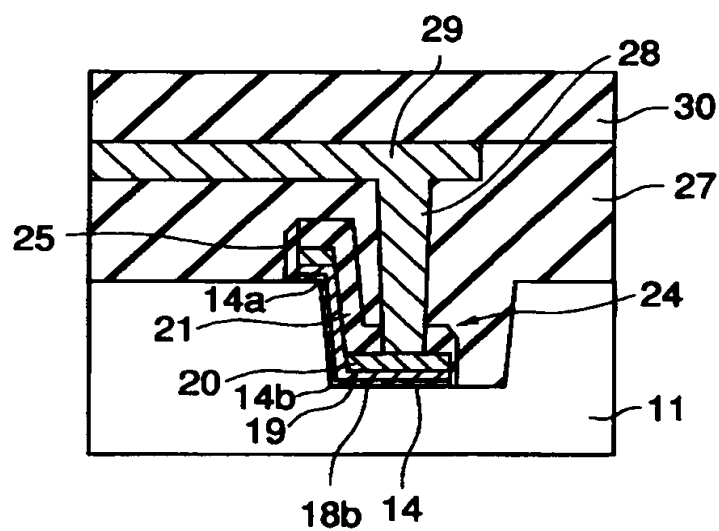
【図 8】



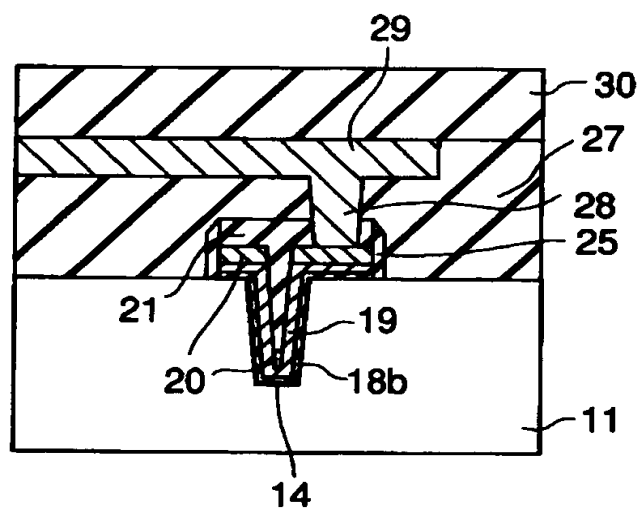
【図9】



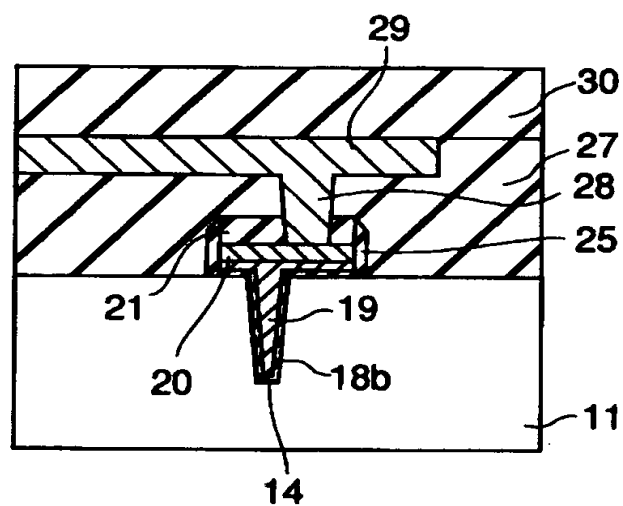
【図10】



【図 11】

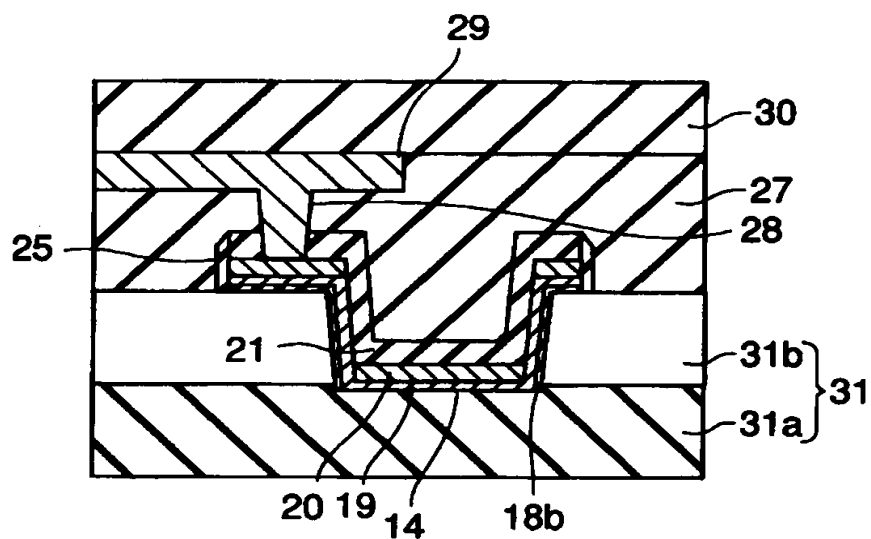


【図 12】

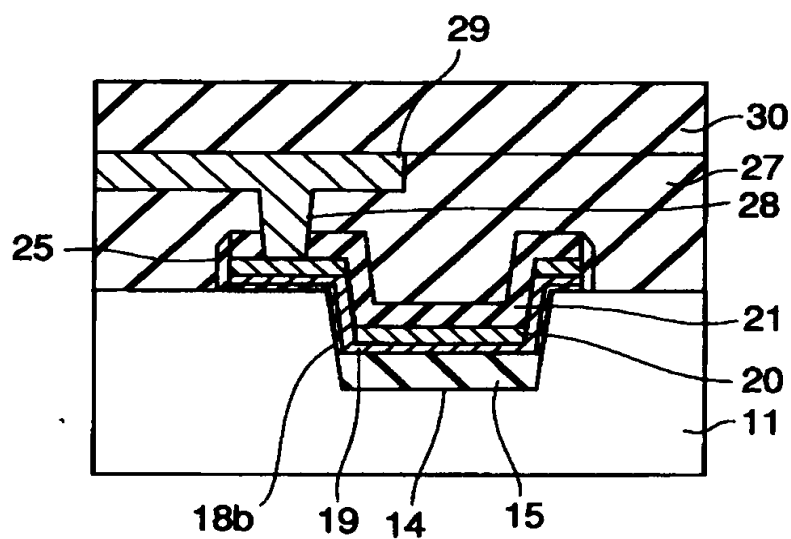




【図13】

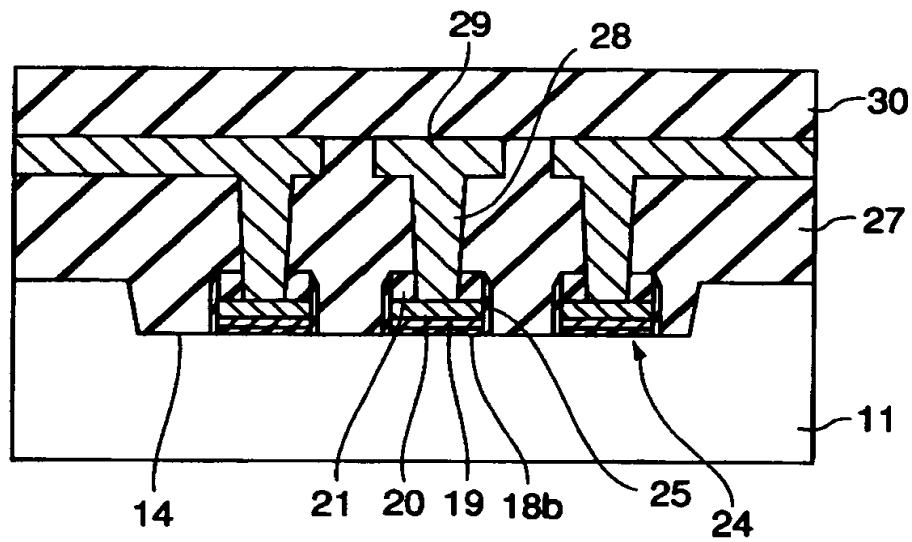


【図14】

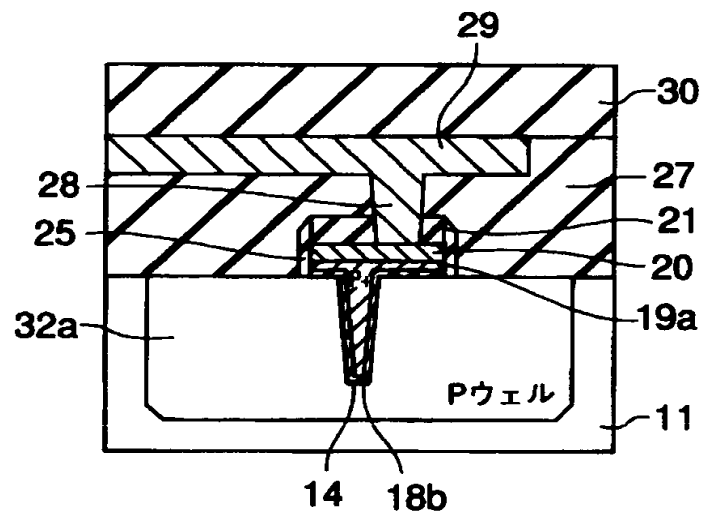




【図 17】

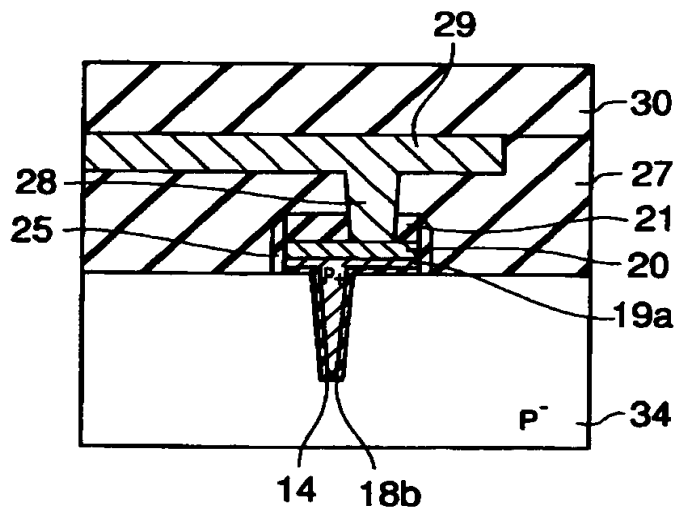


【図 18】



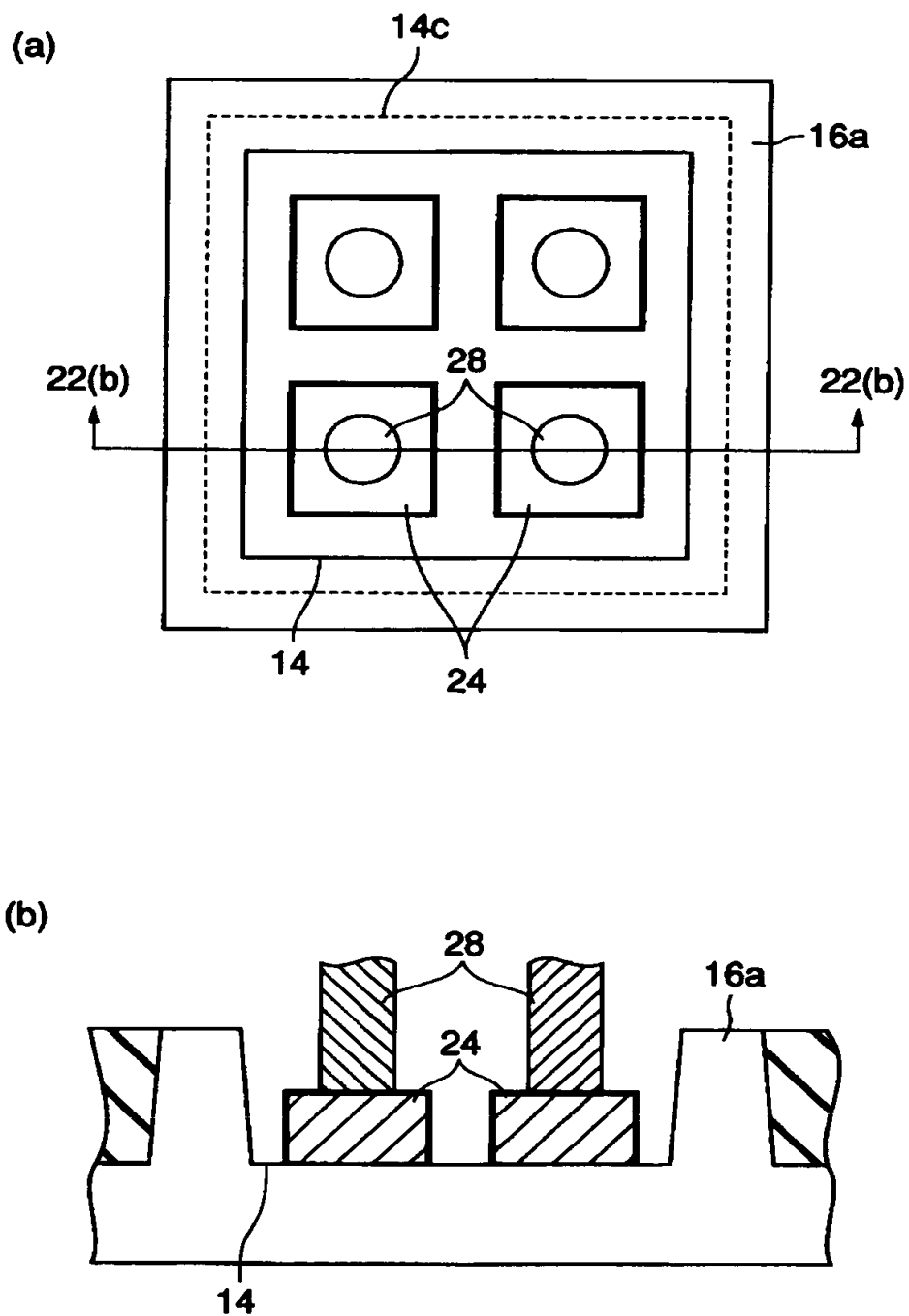


【図 21】

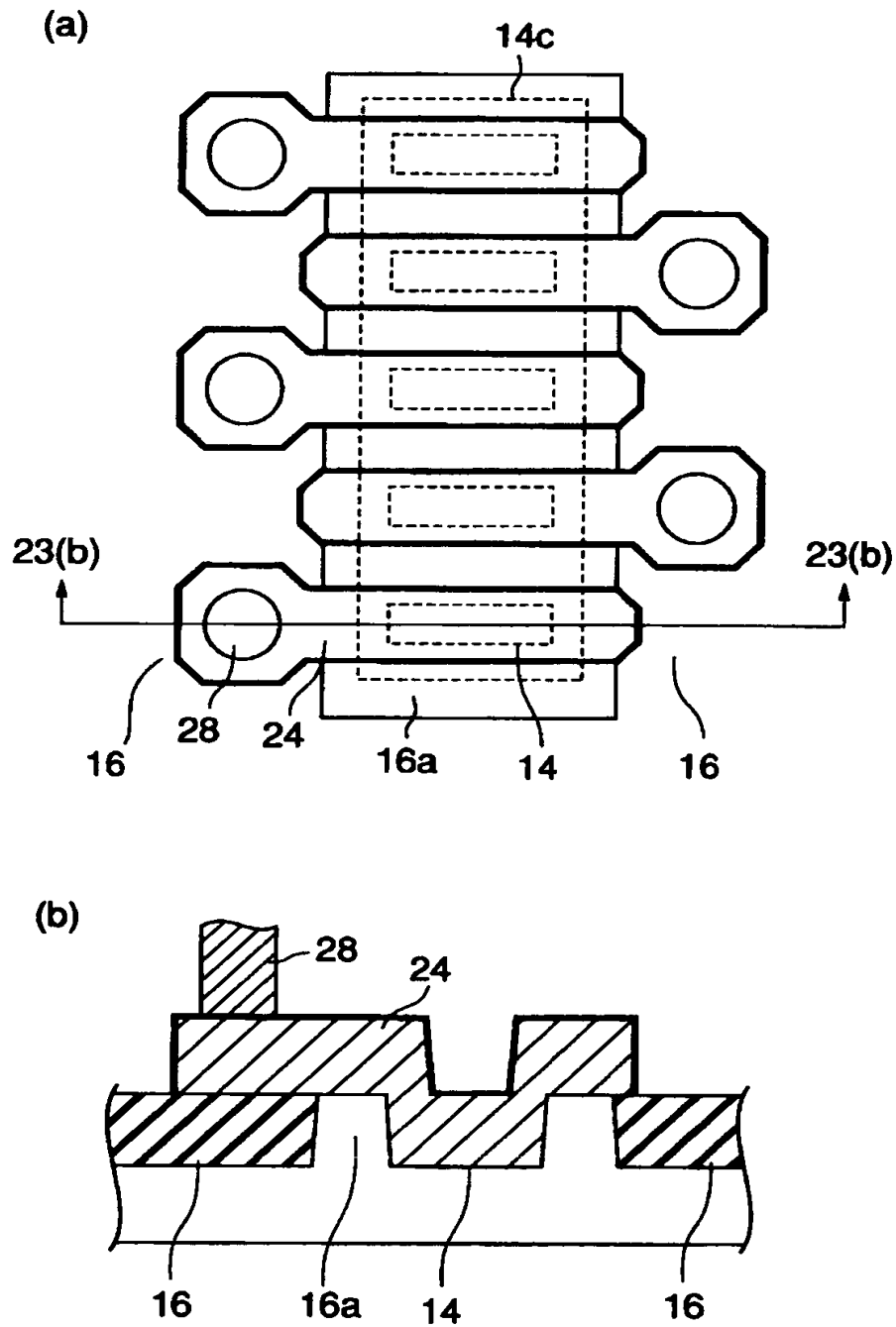


フューズ破壊時：ゲートに負 (-) 印加  
 実使用（判定）時：ゲートに正 (+) 印加

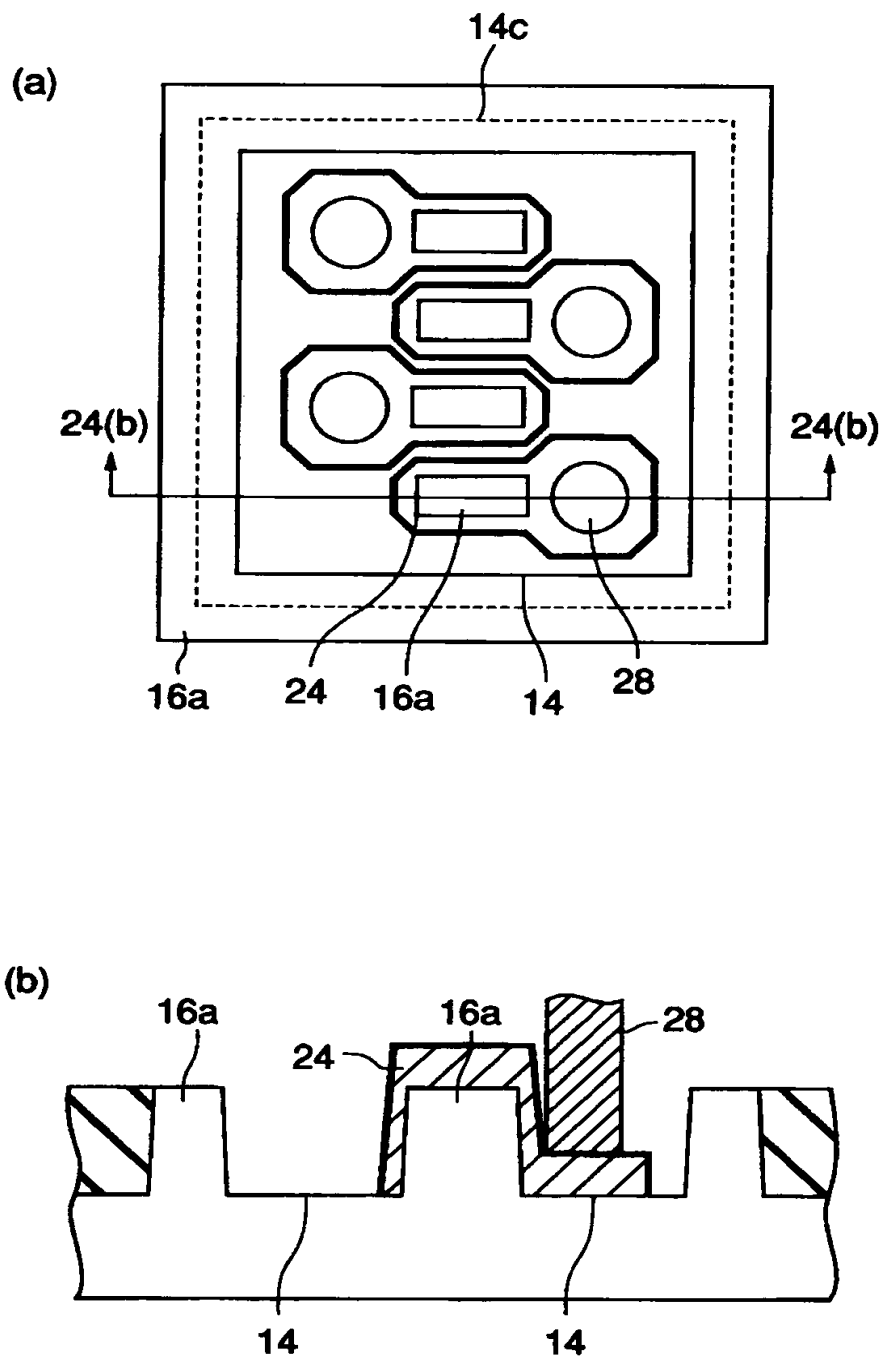
【図 2 2】



【図 23】

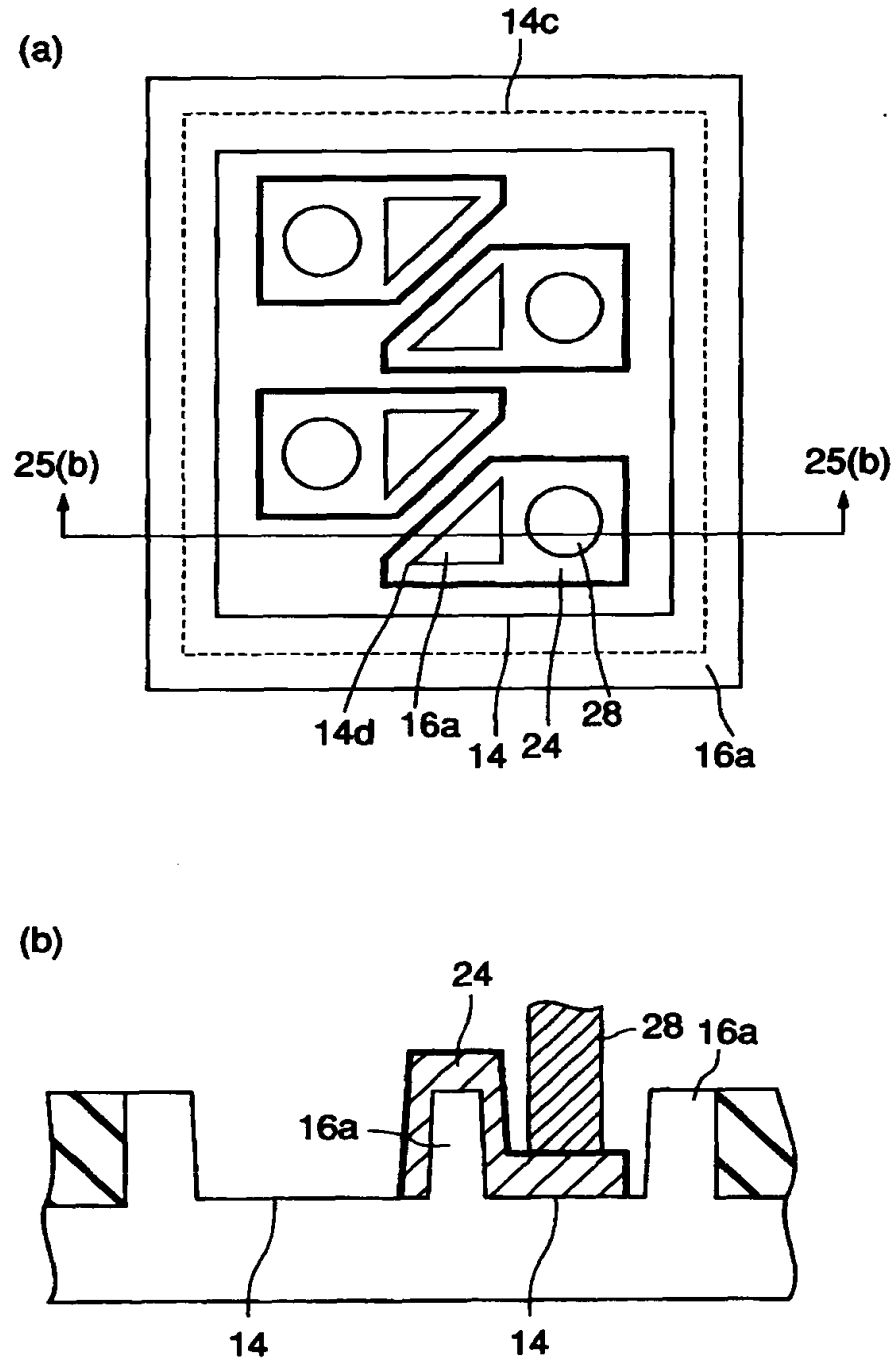


【図 2 4】

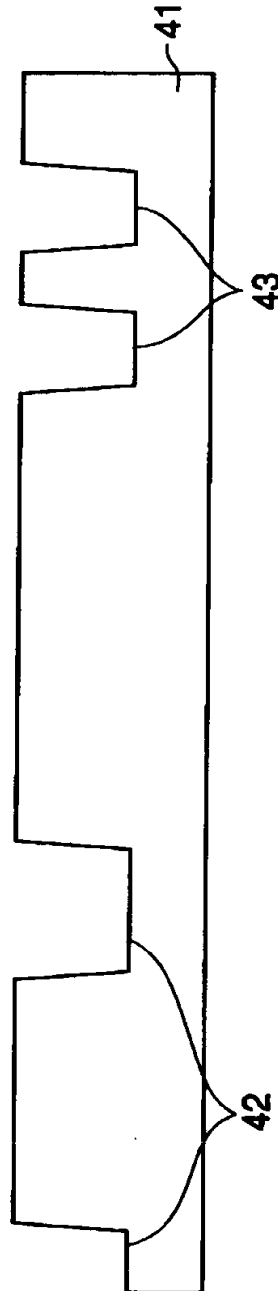




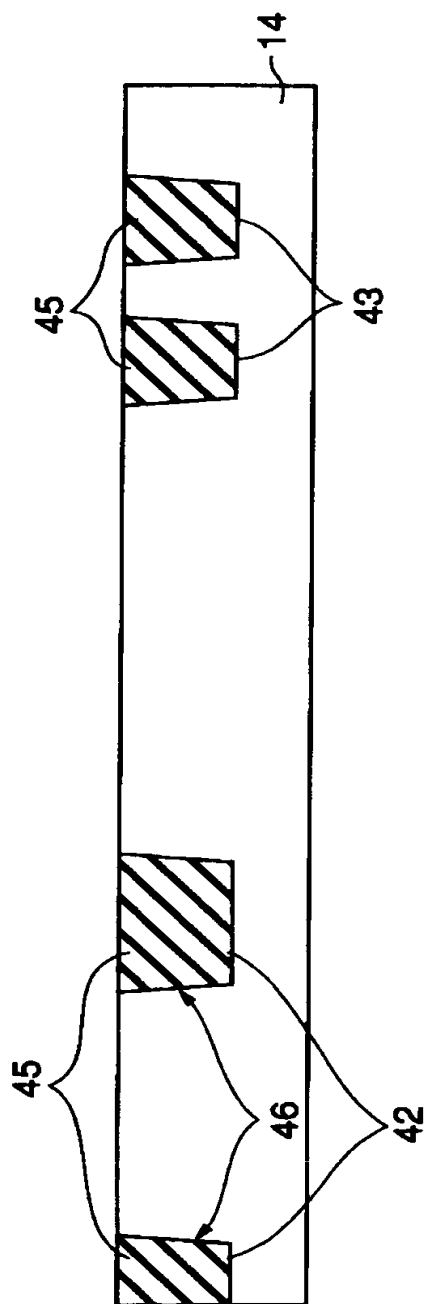
【図 25】



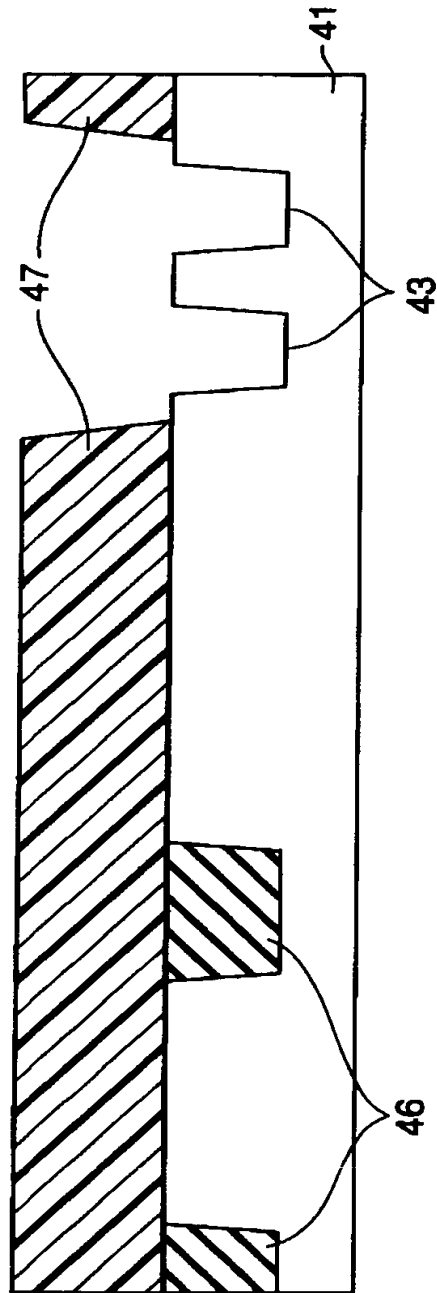
【図 2 6】



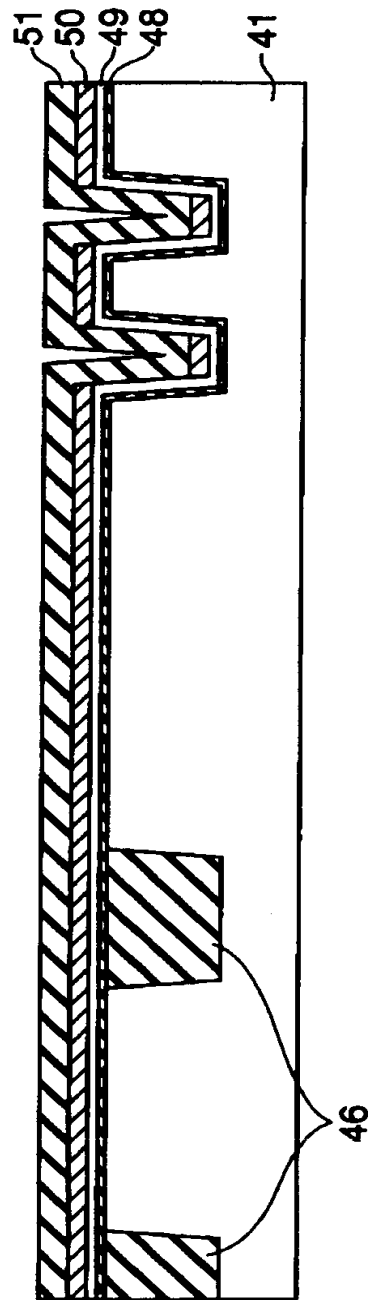
【図 2 7】



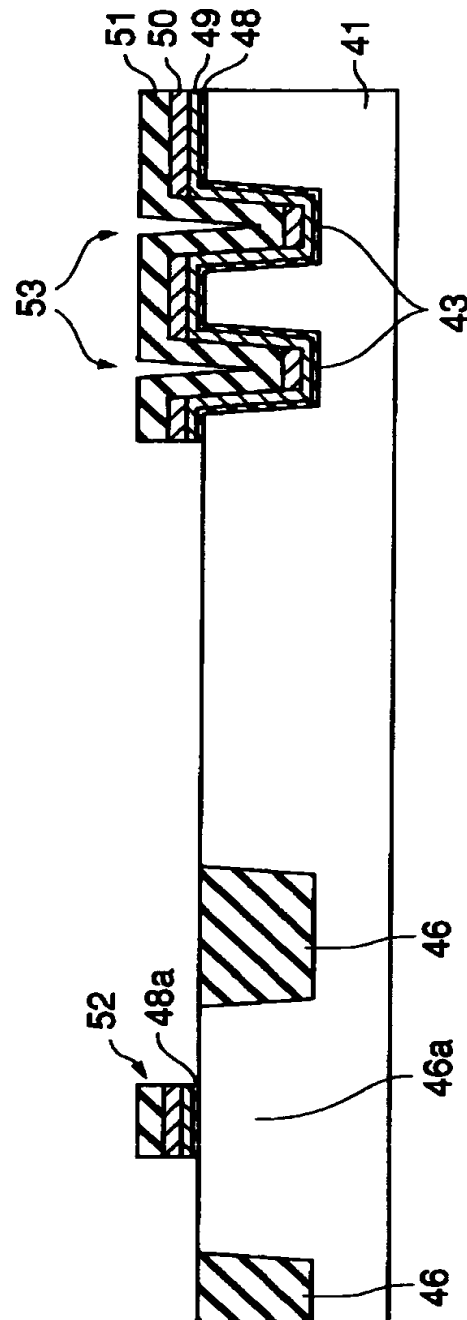
【図 28】



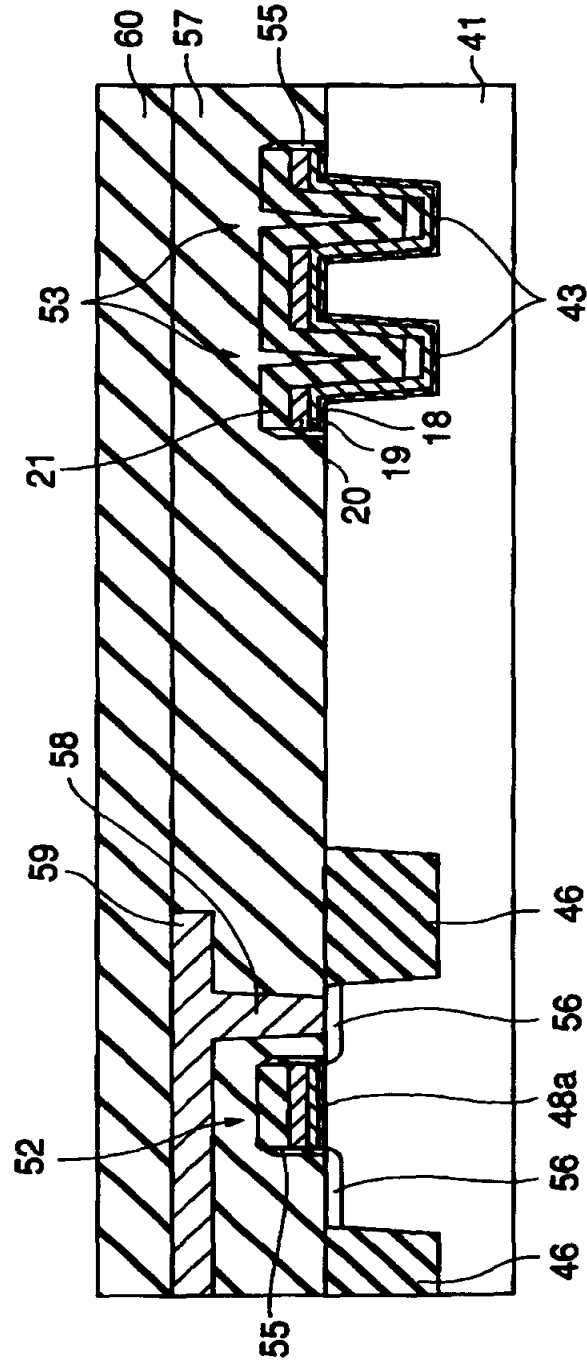
【図 2 9】



【図 3 0】



【図 31】



【書類名】 要約書

【要約】

【課題】 合わせマークの段差付け工程をアンチフューズの形成に応用することで、製造工程を増やすことなく、所望の破壊耐圧をもつゲート絶縁膜を形成する。

【解決手段】 シリコン基板 1 1 に素子分離用の第 1 の凹部 1 6、合わせマーク部用の第 2 の凹部 1 3、アンチフューズ部用の第 3 の凹部 1 4 が同時に形成される。全面にシリコン酸化膜が形成された後、第 2、第 3 の凹部 1 3、1 4 内のシリコン酸化膜が除去される。次に、全面にゲート絶縁膜 1 8 が形成され、このゲート絶縁膜 1 8 上にポリシリコン膜 1 9 が形成される。このポリシリコン膜 1 9、ゲート絶縁膜 1 8 が選択的に除去され、素子領域上にゲート電極 2 2、前記第 2 の凹部 1 3 に合わせマーク部 2 3、第 3 の凹部 1 4 の底表面にアンチフューズ部用のゲート電極 2 4 が形成される。

【選択図】 図 6



出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝